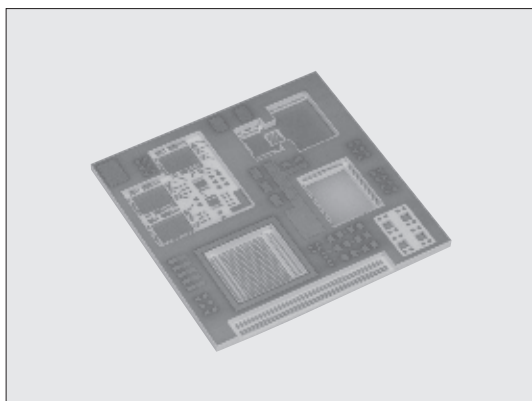
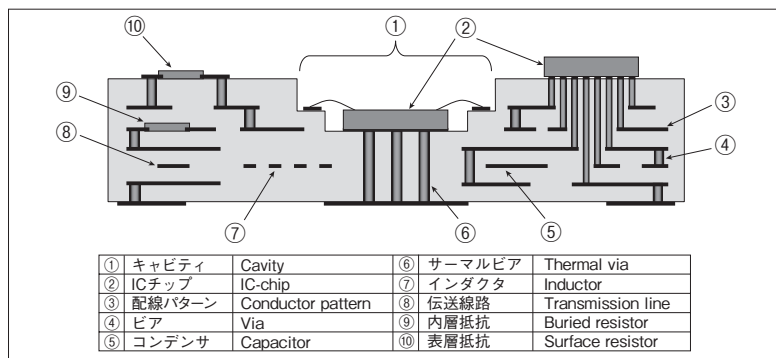


## KLCC LTCC多層基板 LTCC Multilayer Substrates



### ■構造図 Construction



### ■LTCCとは What is LTCC?

LTCCはLow Temperature Co-fired Ceramics (低温同時焼成セラミックス) の略称であり、アルミナにガラス系材料を加えることにより、従来のセラミック基板より“低温”での焼成を行い、低抵抗導体との同時焼成を可能としたセラミック多層基板です。

KOA LTCCでは導体抵抗の小さいAg導体材料を配線パターンとしてセラミックス内に多層構造で一体形成 (同時焼成) しています。

これにより、導体抵抗成分によるロスが少ない電気的特性及び寸法精度の優れた多層基板が可能となります。また、表層や内層に抵抗体や伝送線路が多層構造で一体形成可能であり、小型化に有利となります。加えて、熱膨張係数が比較的シリコンに近いため、ベアチップ実装に有利な基板であり、キャビティ内に実装することによる低背化も可能となります。

LTCC stands for Low Temperature Co-fired Ceramics.

KOA's LTCC are multilayer ceramic substrates. This technology permits to use low resistive material as conductor patterns due to the lower temperature needed during firing process compared to general ceramic firing process. This is achieved by adding glass to alumina. KOA uses Silver based paste (Ag) to create the electrical structures in and on the ceramics layers. To be noted, that top and bottom layers patterns can be plated using various processes.

Thanks to these materials, low loss electrical performance can be achieved as well as high dimensional accuracy.

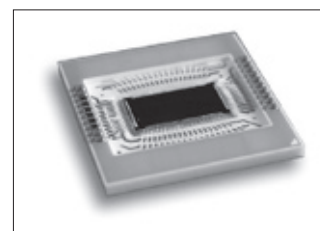
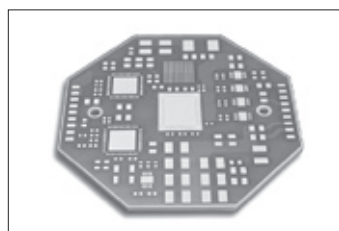
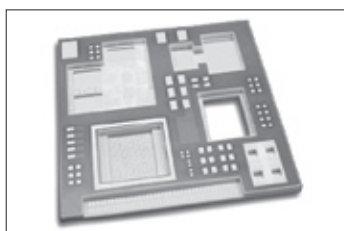
KOA's LTCC provides clear advantages for system downsizing by forming surface resistors, inner resistors, and transmission lines on/ in the substrate. In addition, our thermal expansion coefficient is close to silicon's one, enhancing the reliability of mounted bare chip. Furthermore, cavity structures can be formed, making possible the creation of low profile packages.

### ■特長 Features

- シリコンに近い熱膨張係数、優れた寸法精度や平坦性のため、ベアチップ搭載に適した基板です。
- 低誘電損失セラミックス、及び低損失導体のため、高周波特性に優れています。
- 多層配線、マルチキャビティ構造、内層・表層への小型印刷抵抗形成により小型・高集積化が可能です。
- 円形、多角形、凹凸など特殊な外形形状及びキャビティ形状の形成が可能です。
- ベアチップ実装部にサーマルビアを設けることにより、放熱性を向上させることが可能です。
- セラミックスのため、耐熱性、耐湿性に優れ、アウトガスや発塵の発生がありません。
- 欧州RoHS対応品です。
- KOA's substrates are suitable for bare chip mounting, as the thermal expansion coefficient is close to silicon's one and outstanding dimensional accuracy and flatness.
- Thanks to our low dielectric ceramics and low resistive conductors, the substrates excel in the high frequency characteristics.
- Miniaturization and high integration are possible because of multi-layer wiring, multi-cavity structure and the surface/buried printing resistors possibilities.
- Special shapes of substrate and cavity such as circle shape, polygonal shape and concave or convex shape are available.
- Thermal vias under bare chips can be implemented to improve the thermal conductivity of the substrate.
- The substrates are outstanding in heat resistance and humidity resistance. There will be no outgas occurrence from the ceramics.
- Products meet EU-RoHS requirements.

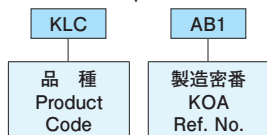
### ■用途 Applications

- マイクロ波、ミリ波などの高周波を扱うアプリケーション。
- 高温、高湿等、環境的に厳しい所で使われるアプリケーション。
- 各種センサーパッケージ。
- ベアチップを搭載したマルチチップモジュール。
- MEMSパッケージ
- インターポーザ基板
- Applications running at high frequencies like micro-waves, milli-waves, etc.
- Applications used in harsh environment, especially in high temperatures, high humidity, etc.
- Various sensor packages.
- Multi chip modules for bare chips.
- MEMS packages.
- Interposer substrates.



## ■品名構成 Type Designation

例 Example



環境負荷物質含有についてEU-RoHS以外の物質に対するご要求がある場合にはお問合せください。

Contact us when you have control request for environmental hazardous material other than the substance specified by EU-RoHS.

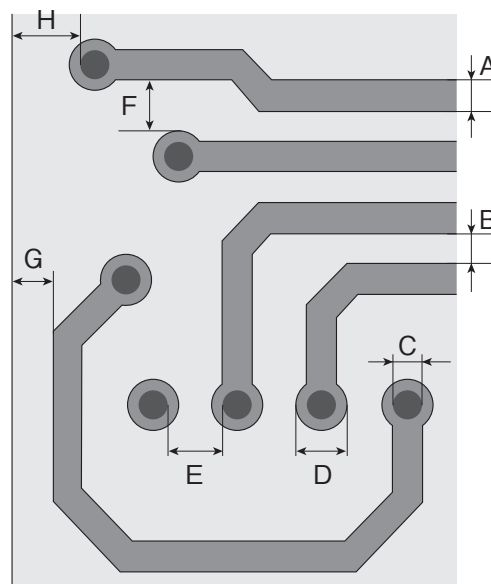
## ■基板材料特性 Characteristics of Substrate Material

項目 Parameter	特性 Characteristics
抗折強度 (MPa) Bending strength	250
熱膨張係数 ( $\times 10^{-6}/K$ ) Thermal expansion coefficient	5.5
熱伝導率 ( $W/m \cdot K$ ) Thermal conductivity	3
絶縁抵抗 ( $\Omega \cdot cm$ ) Insulation resistance	$> 10^{13}$
比誘電率 at 1MHz Dielectric constant	7
誘電損失 at 1MHz Dielectric loss	$< 0.003$
内部導体抵抗率 ( $\mu\Omega \cdot cm$ ) Resistivity of buried conductor	Ag 2.5
密度 ( $g/cm^3$ ) Density	2.8
表面粗さ Ra ( $\mu m$ ) Surface roughness Ra	$< 0.4$
耐電圧 (kV/mm) Withstanding voltage	$> 15$
層厚 ( $\mu m/Layer$ ) Layer thickness	80、100、125 STD.

## ■設計ルール Design rule

記号 Symbol	項目 Parameter	設計値 Design value
A	ライン幅 Line width	0.06mm Min.
B	ラインスペース Line to line spacing	0.06mm Min.
C	Via径 Via diameter	0.1mm, 0.15mm, 0.2mm
D	Viaパッド径 Via pad diameter	Via diameter + 0.05mm Min.
E	Via間隔 Via to via spacing	0.2mm Min.
F	Viaパッド-ライン間隔 Via pad to line spacing	0.125mm Min.
G	基板端-導体パターン間隔 Part edge to conductor spacing	0.2mm Min.
H	基板端-Via間隔 Part edge to Via spacing	0.3mm Min.
J1, J2	キャビティ幅 Cavity width	0.6mm Min.
K1, K2	キャビティ深さ Cavity depth	0.1mm Min.
L	キャビティ壁幅 Wall width of cavity	0.5mm Min.
M	キャビティ内棚幅 Shelf width in the cavity	0.5mm Min.

表層・内層 Surface layer · Inner layer



キャビティ Cavity

